

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In application of : TSO-HUNG FAN et al.

Application No. : 10/055,265

Filed : January 22,2002

For : METHOD FO FABRICATING A NON-
VOLATILE MEMORY

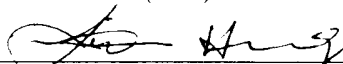
Examiner :

Certificate of Mailing

I hereby certify that this correspondence
and all marked attachments are being
deposited with the United States Postal
Service as first class mail in an envelope
addressed to: Assistant Commissioner for
Patents, Washington, D.C. 20231, on

May 13, 2002

(Date)


Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

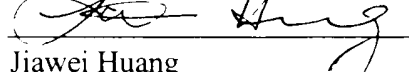
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 91100555 filed on
January 16, 2002.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees
required, including any fees for additional extension of time, or credit overpayment to Deposit
Account No. 50-0710 (Order No. JCLA8124).

Date: 5/13/2002

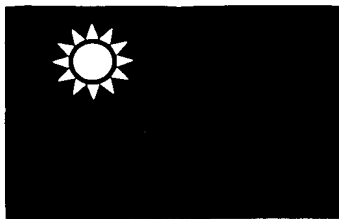
By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

RECEIVED
MAY 23 2002
TECHNICAL CENTER 2000

091100555
1070551265



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 01 月 16 日
Application Date

申請案號：091100555
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2002 年 4 月 8 日
Issue Date

發文字號：09111005887
Serial No.

RECEIVED
MAY 28 2002
TECHNOLOGY CENTER 2002

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	非揮發性記憶體之製造方法
	英 文	
二、發明 創作人	姓 名	1 范左鴻 2 葉彥宏 3 詹光陽 4 劉慕義 5 盧道政
	國 籍	中華民國
	住、居所	1 台北縣板橋市三民路 2 段 181 巷 24 號 2 樓 2 桃園縣楊梅鎮中山北路一段 390 巷 27 號 8 樓 3 新竹市新莊街 83 號 5 樓 4 台中市西屯區烈美街 132 號 3 樓 5 高雄市三民區嫩江街 1 巷 36 號
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區力行路十六號
	代 表 人 姓 名	胡定華

四、中文發明摘要(發明之名稱：非揮發性記憶體之製造方法)

一種非揮發性記憶體的製造方法，其係首先提供一基底，此基底上已形成有一長條狀之堆疊結構。接著，在長條狀之堆疊結構兩側之基底中形成一埋入式汲極。再於在埋入式汲極上形成一絕緣層。之後，於基底之上方依序形成一矽層以及一頂蓋層。並且以垂直於埋入式汲極的方向圖案化頂蓋層、矽層以及長條狀之堆疊結構，以形成數個閘極結構。然後，在未被頂蓋層覆蓋的矽層、閘極結構與基底之表面形成一襯層。之後，移除頂蓋層，再於暴露出的矽層表面形成一金屬矽化物層。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

五、發明說明(/)

本發明是有關於一種半導體元件的製造方法，且特別是有關於一種非揮發性記憶體(Non-volatile Memory, NVM)的製造方法。

由於非揮發性記憶體所存入的資料並不會因電源供應的中斷而消失，因此其應用甚為廣泛。非揮發性記憶體中有兩種具有相似的結構，分別為罩幕式唯讀記憶體(Mask ROM)與氮化矽唯讀記憶體(Nitride ROM)。

第 1A 圖至第 1D 圖所繪示為習知一種非揮發性記憶體的製造流程剖面示意圖。

請參照第 1A 圖，習知形成非揮發性記憶體之方法係首先提供一基底 100。接著，於基底 100 上形成一長條狀之堆疊結構 101。其中，長條狀堆疊結構 101 係由一多晶矽層 104、一氮化矽材質之頂蓋層 105 以及一閘氧化層 102(或是電荷捕捉層 102)所構成。接著，在長條狀堆疊結構 101 兩側之基底 100 中形成埋入式汲極 106。

之後，請參照第 1B 圖，在基底 100 上形成一絕緣層 108，覆蓋住長條狀之堆疊結構 101。

接著，請參照第 1C 圖，回蝕刻絕緣層 108，並且去除氮化矽材質之頂蓋層 105。以使絕緣層 108 僅覆蓋住埋入式汲極 106。

然後，請參照第 1D 圖，於基底 100 之上方形形成一導電層 110，覆蓋住多晶矽層 104 與絕緣層 108。之後以垂直於埋入式汲極 106 的方向，圖案化導電層 110、多晶矽 104 與閘氧化層 102(或是電荷捕捉層 102)，以形成數個島

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

狀之閘極結構(未繪示)以及字元線。其中同一排的數個島狀閘極結構係與同一條字元線電性連接。

其中，習知用來形成字元線之導電層 110，其材質係為矽化鎢(WSi_x)。然而，形成矽化鎢之製程溫度往往高達攝氏 1000 度以上。而在這樣高溫的製程條件下，將會限制了元件通道長度的設計，此種情形對於短通道唯讀記憶體之製作是非常不利的。此外，由於矽化鎢材質本身之電阻值較高，因此習知以矽化鎢作為字元線之材質，對於元件之操作速度將造成影響。

因此，本發明的目的就是在提供一種非揮發性記憶體的製造方法，以避免習知方法中因熱製程之高溫而限制了元件通道之長度。

本發明的另一目的是提供一種非揮發性記憶體的製造方法，以避免習知方法中所使用之矽化鎢因電阻值較高，而影響了元件的操作速度。

本發明提出一種氮化矽唯讀記憶體的製造方法，此方法係首先提供一基底，其中基底上已形成有一長條狀之堆疊結構，且此長條狀堆疊結構係由一導電層與一電荷捕捉層所構成。而此電荷捕捉層可以是一氧化矽-氮化矽-氧化矽(ONO)堆疊結構、一氮化矽-氮化矽-氮化矽(NNN)堆疊結構以或是一氮化矽-氮化矽-氧化矽(NNO)堆疊結構。接著，在此長條狀堆疊結構兩側之基底中以離子植入法形成一埋入式汲極。並且，於埋入式汲極上形成一絕緣層。之後，在基底上依序形成一多晶矽層以及一頂蓋層。並且以垂直

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

於埋入式汲極的方向圖案化頂蓋層、多晶矽層以及長條狀之堆疊結構，以形成數個閘極結構。然後，在未被頂蓋層覆蓋的矽層、閘極結構與基底之表面，以熱氧化法形成一氧化矽襯層。之後，移除頂蓋層。並且於基底之上方沈積一層金屬層之後，進行一回火製程，以使金屬層與多晶矽層反應而形成一金屬矽化物層。最後，將未反應的金屬層移除。其中，此金屬矽化物層僅形成在未被氧化矽襯層覆蓋之多晶矽層表面，且其係作為將數個閘極結構電性連接的字元線。而當所形成之金屬矽化物為矽化鈦時，其回火製程所需之溫度係為攝氏 600 度至攝氏 800 度。當所形成之金屬矽化物為矽化鈷時，其回火製程所需之溫度係為攝氏 600 度至攝氏 700 度。

本發明提出一種罩幕式唯讀記憶體之製造方法，此方法係首先提供一基底，其中基底上已形成有一長條狀之堆疊結構，且此長條狀之堆疊結構係由一閘極導電層以及一閘介電層所構成。接著，在長條狀之堆疊結構兩側之基底中以離子植入法形成一埋入式汲極。再於埋入式汲極上形成一絕緣層。之後，在基底上依序形成一多晶矽層以及一頂蓋層。並且以垂直於埋入式汲極的方向圖案化頂蓋層、多晶矽層以及長條狀之堆疊結構，以形成數個閘極結構。然後，在未被頂蓋層覆蓋的矽層、閘極結構與基底之表面，以熱氧化法形成一氧化矽襯層。之後，移除頂蓋層。並且於基底之上方沈積一層金屬層之後，進行一回火製程，以使金屬層與多晶矽層反應而形成一金屬矽化物層。接著，

五、發明說明(4)

將未反應的金屬層移除。其中，此金屬矽化物層僅形成在未被氧化矽襯層覆蓋之多晶矽層表面，且其係作為將數個閘極結構電性連接的字元線。而所形成之金屬矽化物為矽化鈦時，其回火製程所需之溫度係為攝氏 600 度至攝氏 800 度。當所形成之金屬矽化物為矽化鈷時，其回火製程所需之溫度係為攝氏 600 度至攝氏 700 度。

本發明之非揮發性記憶體的製造方法，由於其形成金屬矽化物層(字元線)之製程溫度較習知之方法低，因此，可減少製程之熱預算，如此將有利於短通道非揮發性記憶體之製作。

本發明之非揮發性記憶體的製造方法，由於其用來作為字元線材質之金屬矽化物層的電阻值，較習知方法中之字元線的電阻值低。因此，可提高元件之操作速度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1D 圖為習知一種非揮發性記憶體的製造流程剖面示意圖；以及

第 2A 圖至第 2L 圖是依照本發明一較佳實施例之非揮發性記憶體的製造流程示意圖。

圖式之標示說明：

100、200：基底

101、207：長條狀之堆疊結構

五、發明說明(5)

102、202：介電層(閘氧化層或電荷捕捉層)

104、204：多晶矽層(閘極導電層)

105、206：氮化矽層

106、214：埋入式汲極

108、216：絕緣層

110：導電層

204a：島狀的閘極結構

208、222：光阻層

209、224：襯層

210：離子植入步驟

212：口袋型離子植入步驟

218：矽層

220：頂蓋層

226：金屬層

226a：金屬矽化物層

實施例

第 2A 圖至第 2L 圖，其繪示為依照本發明一較佳實施例之非揮發性記憶體之製造方法。

請參照第 2A 圖，本發明之形成非揮發性記憶體之方法係首先提供一基底 200。接著，在基底 200 上依序形成一介電層 202、一閘極導電層 204、一氮化矽層 206 以及一圖案化之光阻層 208。其中，閘極導電層 204 之材質例如為多晶矽。而以罩幕式唯讀記憶體為例，介電層 202 係為一閘氧化層。以氮化矽唯讀記憶體為例，介電層 202 係

五、發明說明(6)

爲一電荷捕捉層，且其材質例如爲氧化矽-氮化矽-氧化矽(ONO)之三層材質層、氮化矽-氮化矽-氮化矽(NNN)之三層材質層或者是氮化矽-氮化矽-氧化矽(NNO)之三層材質層。

之後，請同時參照第 2B 圖與第 2C 圖，以光阻層 208 爲蝕刻罩幕，圖案化氮化矽層 206、閘極導電層 204 以及介電層 202，以形成數個長條狀之堆疊結構 207。其上視圖如第 2B 圖所示。之後，請參照第 2C 圖(第 2C 圖係爲第 2B 圖由 I-I' 的剖面示意圖)，在未被氮化矽層 206 覆蓋之基底 200、介電層 202 以及閘極導電層 204 之表面形成一襯層 209。其中形成襯層 209 之方法例如爲以熱氧化法形成一氧化層。

然後，請參照第 2D 圖，進行一離子植入步驟 210 以及一口袋型離子植入步驟(Pocket implanting)212，以在長條狀堆疊結構 207 兩側之基底 200 中形成埋入式汲極 214 與口袋型摻雜區(未繪示)，其中埋入式汲極 214 例如是摻有 N 型離子之摻雜區。

由於在形成埋入式汲極 214 之前，已先在暴露的閘極導電層 204、介電層 202 以及基底 200 之表面形成有襯層 209，因此，於形成埋入式汲極 214 之離子植入步驟 210 以及口袋型離子植入步驟 212 就不會損害到閘極導電層 204、介電層 202 以及基底 200 之表面。

接著，請參照第 2E 圖，在基底 200 上形成一絕緣層 216，覆蓋住長條狀之堆疊結構 207 以及襯層 209。其中，

五、發明說明(7)

形成絕緣層 216 之方法例如是化學氣相沈積法。且絕緣層 216 之材質例如是矽酸四乙酯(Tetraethyl-ortho-silicate, TEOS)氧化矽(TEOS-Oxide)。

之後，請參照第 2F 圖，平坦化絕緣層 216，以使氮化矽層 206 暴露出來。之後，再移除氮化矽層 206，以使絕緣層 216 僅覆蓋在埋入式汲極 214 之上方。其中，平坦化絕緣層 216 之方法例如為一回蝕刻製程或是一化學機械研磨法。

然後，請參照第 2G 圖，在基底 200 之上方依序形成一矽層 218 與一頂蓋層 220，覆蓋住絕緣層 216 與閘極導電層 204。其中，矽層 218 之材質例如為多晶矽。頂蓋層 220 之材質例如為氮化矽。

接著，請同時參照第 2H 圖與第 2I 圖，在頂蓋層 220 上形成一圖案化之光阻層 222。其中此光阻層 222 之圖案係為垂直於埋入式汲極 214(閘極導電層 204)之方向的數個長條狀圖案，其上視圖如第 2H 圖所示。

之後，請參照第 2J 圖，其係為第 2H 圖中由 II-II' 的剖面示意圖。以光阻層 222 為蝕刻罩幕，圖案化頂蓋層 220、矽層 218 以及閘極導電層 204，以形成數個閘極結構 204a。之後，將光阻層 222 去除，再於暴露出的矽層 218、閘極結構 204a 以及基底 200 之表面上形成一襯層 224。其中形成襯層 224 之方法例如為以熱氧化法形成之一氧化層。由於閘極結構 204a 上方的矽層 218 上覆蓋有頂蓋層 220。因此，此襯層 224 僅會形成在未被頂蓋層 220 覆蓋

五、發明說明(8)

的矽層 218、閘極結構 204a 以及基底 200 之表面上。

然後，請參照第 2K 圖，移除頂蓋層 220。之後，於基底 200 之上方形成一金屬層 226，覆蓋住襯層 224 以及閘極結構 204a 上之矽層 218。其中，金屬層 226 之材質例如為金屬鈦或是金屬鈷。

接著，請參照第 2L 圖，進行一回火製程，以使金屬層 226 與矽層 218 反應，而形成金屬矽化物層 226a。之後，將未與矽層 218 反應的金屬層 226 移除。其中，金屬矽化矽層 226a 例如是一矽化鈦層或是一矽化鈷層。當以金屬鈦為金屬層 226 之材質時，其回火製程之溫度例如為攝氏 600 度至攝氏 800 度。當以金屬鈷為金屬層 226 之材質時，其回火製程之溫度例如為攝氏 600 度至攝氏 700 度。而所形成之金屬矽化物層 226a 係作為將數個閘極結構 204a 電性連接的字元線。

在進行回火製程的過程中，由於基底 200 與閘極結構 204a 兩側之表面上覆蓋有襯層 224。因此，金屬矽化物層 226a 不會形成於此，而僅形成在閘極結構 204a 上方覆蓋有矽層 218 的部分。

上述之形成罩幕式唯讀記憶體以及氮化矽唯讀記憶體的方法中，其字元線所使用之材質係為矽化鈦或矽化鈷，而由於形成矽化鈦或矽化鈷之火回製程遠低於習知形成矽化鎢之製程溫度。因此，對於形成短通道之非揮發性記憶體元件特別有利。此外，由於矽化鈦與矽化鈷之電阻值小於矽化鎢之電阻值，因此，本發明以矽化鈦或矽化鈷作為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

字元線之材質，可提高元件之操作速度。

綜合以上所述，本發明具有下列優點：

1.本發明之非揮發性記憶體的製造方法，由於其形成金屬矽化物層(字元線)的製程溫度較習知之方法低，因此，可減少製程之熱預算，如此將有利於短通道非揮發性記憶體之製作。

2.本發明之非揮發性記憶體的製造方法，由於其用來作為字元線材質之金屬矽化物的電阻值，較習知方法中之字元線的電阻值低。因此，可提高元件之操作速度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1.一種氮化矽唯讀記憶體的製造方法，至少包括下列步驟：

提供一基底，該基底上已形成有一長條狀之堆疊結構，其中該長條狀之堆疊結構係由一閘極導電層與一介電層所構成；

在該長條狀之堆疊結構兩側之該基底中形成一埋入式汲極；

在該埋入式汲極上形成一絕緣層；

在該基底之上方依序形成一矽層以及一頂蓋層，覆蓋住該長條狀之堆疊結構與該絕緣層；

以垂直於該埋入式汲極的方向圖案化該頂蓋層、該矽層以及該長條狀堆疊結構，以形成複數個閘極結構；

在暴露的該矽層、該些閘極結構以及該基底之表面形成一襯層；

移除該頂蓋層；以及

在該矽層之表面形成一金屬矽化物層。

2.一種非揮發性記憶體的製造方法，至少包括下列步驟：

提供一基底，該基底上已形成有一長條狀之堆疊結構，其中該長條狀之堆疊結構係由一閘極導電層與一電荷捕捉層所構成；

在該長條狀之堆疊結構兩側之該基底中形成一埋入式汲極；

在該埋入式汲極上形成一絕緣層；

六、申請專利範圍

在該基底之上方依序形成一矽層以及一頂蓋層，覆蓋住該長條狀之堆疊結構與該絕緣層；

以垂直於該埋入式汲極的方向圖案化該頂蓋層、該矽層以及該長條狀之堆疊結構，以形成複數個閘極結構；

在暴露的該矽層、該些閘極結構以及該基底之表面形成一襯層；

移除該頂蓋層；以及

在該矽層之表面形成一金屬矽化物層。

3.如申請專利範圍第 2 項所述之非揮發性記憶體的製造方法，其中該金屬矽化物層包括一矽化鈦層。

4.如申請專利範圍第 3 項所述之非揮發性記憶體的製造方法，其中形成該矽化鈦層之溫度係介於攝氏 600 度至攝氏 800 度之間。

5.如申請專利範圍第 2 項所述之非揮發性記憶體的製造方法，其中該金屬矽化物層包括一矽化鈷層。

6.如申請專利範圍第 5 項所述之非揮發性記憶體的製造方法，其中形成該矽化鈷層之溫度係介於攝氏 600 度至攝氏 700 度之間。

7.如申請專利範圍第 2 項所述之非揮發性記憶體的製造方法，其中該電荷捕捉層係選自一氧化矽-氮化矽-氧化矽(ONO)堆疊結構、一氮化矽-氮化矽-氮化矽(NNN)堆疊結構以及一氮化矽-氮化矽-氧化矽(NNO)堆疊結構其中之一。

8.如申請專利範圍第 2 項所述之非揮發性記憶體的製

六、申請專利範圍

造方法，其中該襯層之材質包括氧化矽。

9.如申請專利範圍第 2 項所述之非揮發性記憶體的製造方法，其中該矽層之材質包括多晶矽。

10.如申請專利範圍第 2 項所述之非揮發性記憶體的製造方法，其中該絕緣層之材質包括矽酸四乙酯氧化矽 (TEOS-Oxide)。

11.如申請專利範圍第 2 項所述之非揮發性記憶體的製造方法，其中該頂蓋層之材質包括氮化矽。

12.一種唯讀記憶體的製造方法，至少包括下列步驟：

提供一基底，該基底上已形成有一長條狀之堆疊結構，其中該長條狀之堆疊結構係由一閘極導電層與一閘介電層所構成；

在該長條狀之堆疊結構兩側之該基底中形成一埋入式汲極；

在該埋入式汲極上形成一絕緣層；

在該基底之上方依序形成一矽層以及一頂蓋層，覆蓋住該長條狀之堆疊結構與該絕緣層；

以垂直於該埋入式汲極的方向圖案化該頂蓋層、該矽層以及該長條狀堆疊結構，以形成複數個閘極結構；

在暴露的該矽層、該些閘極結構以及該基底之表面形成一襯層；

移除該頂蓋層；以及

在該矽層之表面形成一金屬矽化物層。

13.如申請專利範圍第 12 項所述之唯讀記憶體的製造

六、申請專利範圍

方法，其中該金屬矽化物層包括一矽化鈦層。

14.如申請專利範圍第 13 項所述之唯讀記憶體的製造方法，其中形成該矽化鈦層之溫度係介於攝氏 600 度至攝氏 800 度之間。

15.如申請專利範圍第 12 項所述之唯讀記憶體的製造方法，其中該金屬矽化物層包括一矽化鈷層。

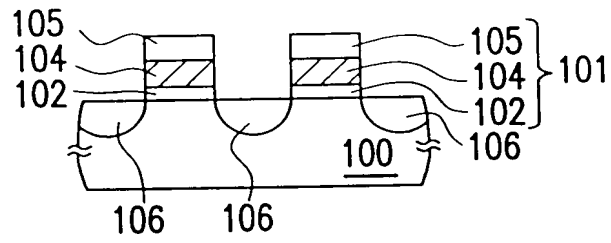
16.如申請專利範圍第 15 項所述之唯讀記憶體的製造方法，其中形成該矽化鈷層之溫度係介於攝氏 600 度至攝氏 700 度之間。

17.如申請專利範圍第 12 項所述之唯讀記憶體的製造方法，其中該襯層之材質包括氧化矽。

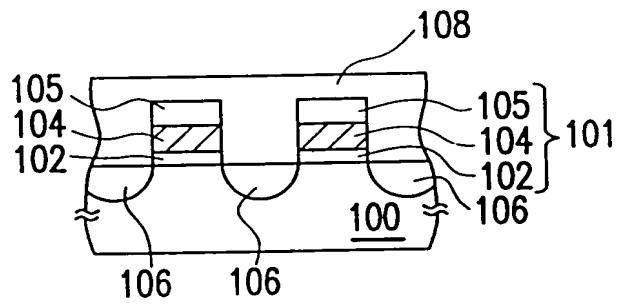
18.如申請專利範圍第 12 項所述之唯讀記憶體的製造方法，其中該矽層之材質包括多晶矽。

19.如申請專利範圍第 12 項所述之唯讀記憶體的製造方法，其中該絕緣層之材質包括矽酸四乙酯氧化矽 (TEOS-Oxide)。

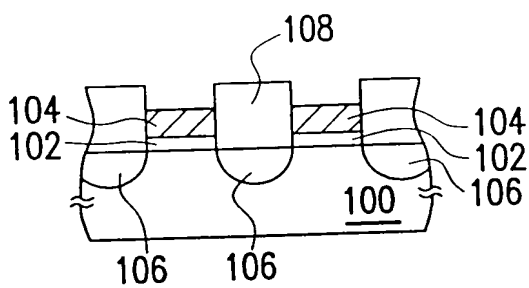
20.如申請專利範圍第 12 項所述之唯讀記憶體的製造方法，其中該頂蓋層之材質包括氮化矽。



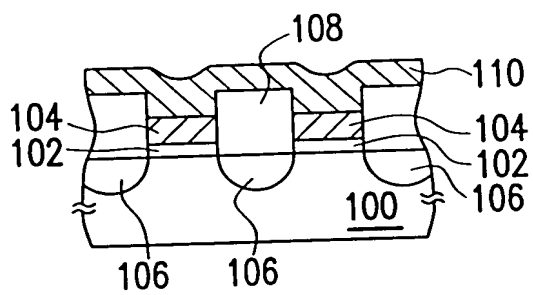
第 1A 圖



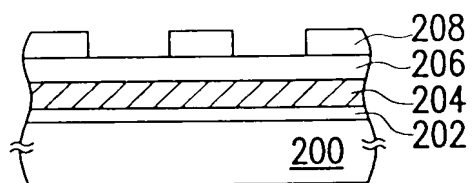
第 1B 圖



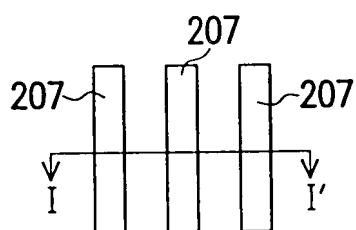
第 1C 圖



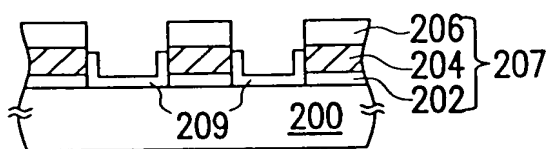
第 1D 圖



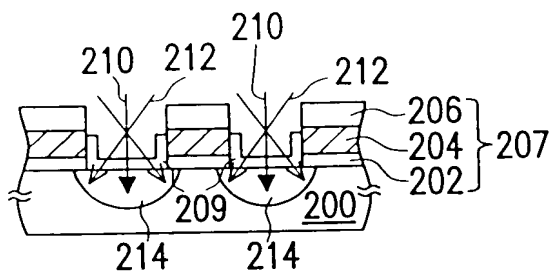
第 2A 圖



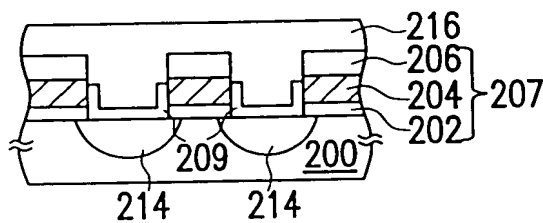
第 2B 圖



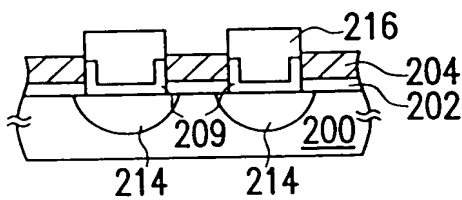
第 2C 圖



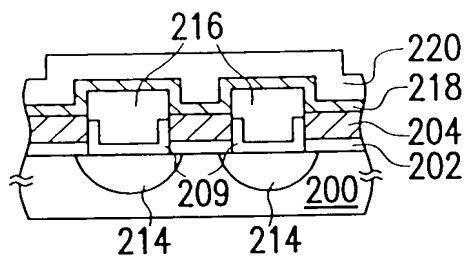
第 2D 圖



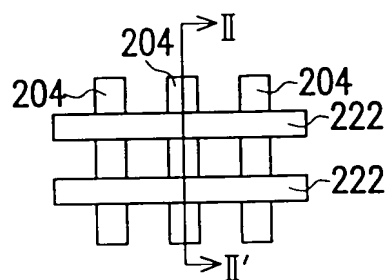
第 2E 圖



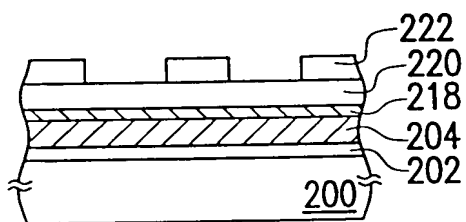
第 2F 圖



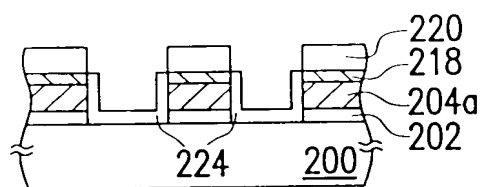
第 2G 圖



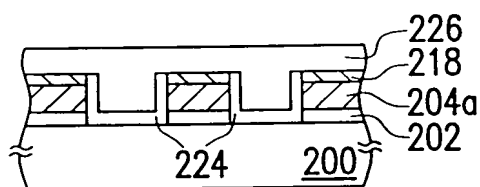
第 2H 圖



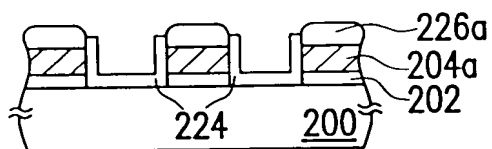
第 21 圖



第 2J 圖



第 2K 圖



第 2L 圖